

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-056936

(43)Date of publication of application : 26.02.1990

(51)Int.Cl. H01L 21/336
H01L 21/265
H01L 29/784

(21)Application number : 63-208861

(71)Applicant : RICOH CO LTD

(22)Date of filing : 22.08.1988

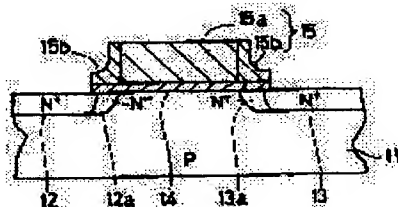
(72)Inventor : TANEDA TOSHIHIKO

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To improve the transistor characteristic and the reliability by forming a part where a gate electrode is piled on the low-concentration diffusion areas of source and drain areas on a plane.

CONSTITUTION: A source 12 and a drain 13 are formed by diffusing an N-type impurity and low-concentration diffusion areas 12a and 13a are formed at the ends on the channel area side of said diffusion areas 12 and 13. A gate electrode 15 is formed on a substrate 11 through a gate oxide film 14. The gate electrode 15 comprises a first part 15a of a thick film on a channel area and second parts 15b of thin films formed at both the outer ends in the direction of the channel length of said first part 15a and piled on the low-concentration diffusion areas 12a and 13a on a plane. This enables applying an electric field from the gate electrode to the low-concentration diffusion areas and reduces the resistance of the low-concentration diffusion areas to increase the mutual conductance, improving the resistance to a hot carrier.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(11) Japanese Unexamined Patent Application Publication No. 2-56936

(C) The silicon oxide film 20 is etched back by anisotropic etching to leave side walls comprising the silicon oxide film 20 on the side walls of the gate electrode 15 (15a, 15b).

Next, anisotropic etching of the polycrystalline silicon layer is performed by using the side walls 20 as a mask. In this operation, the second thin portions 15b of the gate electrode remain on the outside of the first portion 15a of the gate electrode in the direction of the channel length.

Then, the side walls comprising the silicon oxide film 20, and the portions of the silicon oxide film 14, which lie on top of source and drain regions, are removed with an etching solution such as a HF solution or the like.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-56936

⑬ Int.Cl.

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)2月26日

H 01 L 21/336
21/265
29/784

8422-5F H 01 L 29/78 3 0 1 L
7522-5F 21/265 L

審査請求 未請求 請求項の数 2 (全4頁)

⑮ 発明の名称 半導体装置とその製造方法

⑯ 特 願 昭63-208861

⑰ 出 願 昭63(1988)8月22日

⑱ 発 明 者 種 田 敏 彦 東京都大田区中馬込1丁目3番6号 株式会社リコー内
⑲ 出 願 人 株 式 会 社 リ コ ー 東京都大田区中馬込1丁目3番6号
⑳ 代 理 人 弁 理 士 野 口 繁 雄

明 細 書

1. 発明の名称

半導体装置とその製造方法

2. 特許請求の範囲

(1) ソース領域・ドレイン領域の高濃度拡散領域のチャネル側端部に低濃度拡散領域が形成されており、ゲート電極はチャネル領域上の膜厚の厚い第1の部分と、この第1の部分のチャネル長方向の外側に設けられた膜厚の薄い第2の部分とからなり、前記第2の部分は前記低濃度拡散領域と平面上の位置が重なっている半導体装置。

(2) 以下の工程(A)から(D)を含む半導体装置の製造方法。

(A) 半導体基板上のゲート酸化膜上に第1の多結晶シリコン層を堆積し、パターン化してゲート電極の第1の部分を形成する工程。

(B) 第1の多結晶シリコン層より薄い膜厚の第2の多結晶シリコン層を堆積し、その上に絶縁膜を堆積し、エッチングにより側壁に前記絶縁膜を残し、この側壁絶縁膜をマスクにして第2の多結

晶シリコン層をエッチングし、ゲート電極の第2の部分を形成する工程。

(C) 前記側壁絶縁膜を除去した後、ゲート電極の第2の部分を通して第1の部分を通さないエネルギーで不純物イオンを低濃度に注入する工程。

(D) ゲート電極の第2の部分を通してないエネルギーで前記不純物イオンと同じ導電型の不純物イオンを高濃度に注入する工程。

3. 発明の詳細な説明

(産業上の利用分野)

本発明はMOS型半導体装置とその製造方法に関し、特にサブミクロンと称される微小サイズの半導体装置とその製造方法に関するものである。

(従来の技術)

トランジスタサイズが微小化されてくると、比例縮小則によりゲート酸化膜が薄く、チャネル長が短くなる。その結果、トランジスタ内部が高電界になり、ホットキャリアが発生して信頼性が低下する。

このホットキャリアに基づく信頼性低下を抑制

するために、DDD(Double Diffused Drain: 二重拡散ドレイン)構造やLDD(Lightly Doped Drain)構造が実用化されている。DDD構造では、砒素とリンを2重に打ち込み、ドレインの不純物濃度分布に緩い傾斜をもたせる。LDD構造ではソース・ドレインの高濃度拡散領域のチャネル側端部に低濃度拡散領域を形成する。

DDD構造は信頼性の点で問題があり、LDD構造は相互コンダクタンス g_m が低下する点で問題があることがわかってきた。そこで、LDD構造をさらに改良し、ゲート電極の一部とソース・ドレインの低濃度拡散領域とが平面上の重なり部分をもつようにすることにより、信頼性が高く、相互コンダクタンスも低下しない構造が提案されている(「IEDM 87」38~41(1987)参照)。

提案された構造は第3図に示されるものである。

1はシリコン基板、2はソース、3はドレインであり、LDD構造と同じくソース2、ドレイン3にはそれぞれチャネル領域端に低濃度拡散領域

リコン層5aをパターン化し、その後、重なり長さを規定する酸化膜7を形成する。最後に、砒素を注入してソース2、ドレイン3を形成する。

(発明が解決しようとする課題)

第3図のような構造は構造自体が複雑であり、かつ、製造プロセスが複雑になるため、実用化の上で問題がある。

本発明はトランジスタ特性や信頼性に優れ、製造プロセスの簡単なMOS型半導体装置の構造とその製造方法を提供することを目的とするものである。

(課題を解決するための手段)

本発明の半導体装置では、ソース領域・ドレイン領域の高濃度拡散領域のチャネル側端部に低濃度拡散領域が形成されており、ゲート電極はチャネル領域上の膜厚の厚い第1の部分と、この第1の部分のチャネル長方向の外側に設けられた膜厚の薄い第2の部分とからなり、前記第2の部分は前記低濃度拡散領域と平面上の位置が重なっている。

2a, 3aが設けられている。チャネル領域上にはゲート酸化膜4を介して多結晶シリコンにてなるゲート電極5が形成されているが、ゲート電極5は5a, 5bで示される二層構造となっており、両層の5a, 5bの間には厚さが5~10Åの自然酸化膜6が設けられている。ゲート電極5の下層部分5aと低濃度拡散領域2a, 3aが平面上の重なりをもっている。7は重なり部分の長さを規定する酸化膜、8, 9はそれぞれCVD酸化膜である。

このような構造のMOSトランジスタを製造するには、間に自然酸化膜6を介在させた二層の多結晶シリコン層5a, 2bを形成し、その上に酸化膜のパターン8を形成する。その酸化膜パターン8をマスクにして選択エッチングを行ない、上層の多結晶シリコン層5bのみをエッチングする。そして残った下層の多結晶シリコン層5aを透過するエネルギーでリンをイオン注入して低濃度拡散領域2a, 3aを形成する。次に、側壁酸化膜9を形成し、それをマスクにして下層の多結晶シ

この半導体装置を製造するために、本発明の方法は以下の工程(A)から(D)を含んでいる。

(A) 半導体基板上的ゲート酸化膜上に第1の多結晶シリコン層を堆積し、パターン化してゲート電極の第1の部分を形成する工程。

(B) 第1の多結晶シリコン層より薄い膜厚の第2の多結晶シリコン層を堆積し、その上に絶縁膜を堆積し、エッチングにより側壁に前記絶縁膜を残し、この側壁絶縁膜をマスクにして第2の多結晶シリコン層をエッチングし、ゲート電極の第2の部分を形成する工程。

(C) 前記側壁絶縁膜を除去した後、ゲート電極の第2の部分を透過し第1の部分を透過しないエネルギーで不純物イオンを低濃度に注入する工程。

(D) ゲート電極の第2の部分を透過しないエネルギーで前記不純物イオンと同じ導電型の不純物イオンを高濃度に注入する工程。

(作用)

第3図の構造と同じく低濃度拡散領域とゲート電極が平面上の重なり部分をもっているため、ゲ

ート電極から低濃度拡散領域に電界がかかり、低濃度拡散領域の抵抗が下がって従来のLDD構造よりも相互コンダクタンス g_m が高くなる。

また、引用文献にも示されているように、この重なりによりトランジスタ内部での電界が弱くなり、ホットキャリアに対する耐性が向上する。

(実施例)

第1図は一実施例を表わす。

11はP型シリコン基板であり、N型不純物拡散によりソース12とドレイン13が形成されている。基板11はP型エピタキシャル層であってもよく、又はN型シリコン基板に形成したP型ウェルであってもよい。両拡散領域12、13のチャネル領域側の端部にはそれぞれ低濃度拡散領域12a、13aが形成されている。

基板11上にはゲート酸化膜14を介して多結晶シリコンにてなるゲート電極15が形成されている。ゲート電極15はチャネル領域上の膜厚の薄い第1の部分15aと、この第1の部分15aのチャネル長方向の外側に設けられた膜厚の薄い

15bを低抵抗化する。

その後、CVD法によりシリコン酸化膜20を1000~4000Å程度の厚さに堆積する。

(C) シリコン酸化膜20の異方性エッチングによりシリコン酸化膜20をエッチバックし、ゲート電極15(15a、15b)の側壁にシリコン酸化膜のサイドウォール20を残す。

次に、そのサイドウォール20をマスクとして多結晶シリコンの異方性エッチングを行なう。これによりゲート電極の第1の部分15aのチャネル長さ方向の外側にゲート電極の膜厚の薄い第2の部分15b、15bが残った状態となる。

その後、シリコン酸化膜のサイドウォール20及びソース・ドレイン領域上のシリコン酸化膜14をHF溶液などのエッチング液で除去する。

(D) ゲート電極の膜厚の薄い第2の部分15bを透過し、膜厚の薄い第1の部分15aを透過しない加速エネルギーでリンイオンを注入する。ゲート電極の第1の部分15aの膜厚を3500Å、第2の部分15bの膜厚を1000Å、ゲート酸

化膜14の膜厚を150Åとした場合、このリンイオン注入の加速エネルギーは約80~200KeVである。

第1図はNチャネルMOSトランジスタの例であるが、PチャネルMOSトランジスタの場合も導電型が逆になるだけで全く同様に本発明を適用することができる。

次に、第2図により一実施例の製造方法を説明する。

(A) P型シリコン基板11上に酸化によりゲート酸化膜14を50~250Å程度の厚さに形成する

その上に第1の多結晶シリコン層を1000~5000Å程度の厚さに堆積し、写真製版とエッチングによってゲート電極の第1の部分15aを形成する。

(B) さらにその上から第2の多結晶シリコン層15bを500~2500Åの厚さに堆積し、リンを注入又は堆積し、多結晶シリコン層15a、15bに拡散させて両多結晶シリコン層15a、

15bを低抵抗化する。

次に、ゲート電極の第1の部分15aはもちろん、第2の部分15bも透過しないエネルギーで砒素イオンを $1 \times 10^{14} \sim 1 \times 10^{15} / \text{cm}^2$ 注入する。ゲート電極15a、15b及びゲート酸化膜14の膜厚が上記の場合、加速エネルギーは約30~60KeVである。

(E) その後、注入されたイオンを熱処理によって活性化することにより、低濃度拡散領域12a、13aとゲート電極の第2の部分15b、15bとが平面上で重なったLDD構造のMOSトランジスタが形成される。

その後は通常のプロセスに従って層間絶縁膜の形成、コンタクトホール形成、メタル配線の形成、パッシベーション膜の形成などを行なう。

第2図はNチャネルMOSトランジスタの製造プロセスであるが、PチャネルMOSトランジスタ

タの場合も導電型が逆になるだけで全く同様に本発明の方法を適用することができる。

(発明の効果)

本発明の半導体装置では、ソース領域・ドレイン領域の低濃度拡散領域とゲート電極が平面上の重なり部分をもっているため、ゲート電極から低濃度拡散領域に電界がかかり、低濃度拡散領域の抵抗が下がって従来のLDD構造よりも相互コンダクタンス g_m が高くなる。

また、この重なりによりトランジスタ内部での電界が弱くなり、ホットキャリアに対する耐性が向上する。

本発明の製造方法は引用文献に記載された製造方法と比べるとプロセスが簡単である。

4. 図面の簡単な説明

第1図は一実施例の要部を示す断面図、第2図(A)から同図(E)は一実施例の製造プロセスを示す断面図、第3図は提案された改良型LDD構造を示す断面図である。

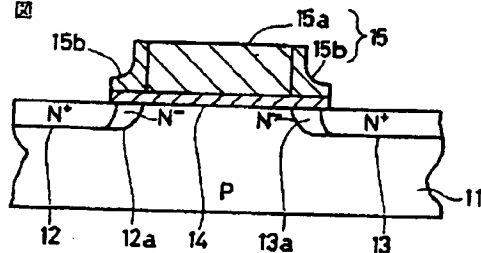
11……シリコン基板、12……ソース、13

……ドレイン、12a、13a……低濃度拡散領域、14……ゲート酸化膜、15……ゲート電極、15a……第1の部分、15b……第2の部分、20……シリコン酸化膜。

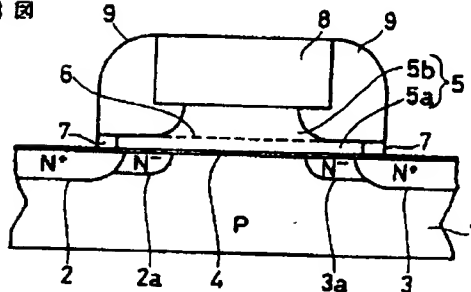
特許出願人 株式会社リコー

代理人 弁理士 野口繁雄

第1図



第3図



第2図

